IMPLEMENTAÇÃO DE LEIAUTES NÃO CONVENCIONAIS DE MOSFETS DE POTÊNCIA

Gabriel Augusto da Silva[1], Prof. Dr. Salvador Pinillos Gimenez[3]
[1,3]Centro Universitário da FEI
gabaugs@gmail.com, sgimenez@fei.edu.br

Resumo: Esse projeto objetiva a redução de área de silício utilizada para a fabricação de transistores planares de potência por meio do emprego de geometrias não convencionais de MOSFETs com tecnologia CMOS.

1. Introdução

Circuitos integrados fabricados para fins comerciais têm geralmente grande parte de sua área de silício ocupada por MOSFETs de potência. Existem pesquisas que mostram que a utilização de geometrias não convencionais (MOSFETs com portas em anel circular sobrepostas (O-CGT), Wave, Elipsoidal) ajudam a reduzir a área usada de silício [1].

2. Metodologia

Para comprovar a efetividade dessa redução de área de silício, projetamos MOSFETs planares de potência considerando o mesmo fator geométrico, mas constituídos de transistores com geometrias diferentes, tendo assim formatos e áreas distintos, mas com resposta eletrônica idêntica. Para a confecção dos desenhos utilizamos o software IC Station da Mentor Graphics e as regras de projeto AMS 0,35µm da MOSIS. Depois que a realização dos leiautes for concluída, os enviaremos para a fabricação e realizaremos testes para entender e comparar os comportamentos das diferentes geometrias.

3. Resultados

As figuras abaixo mostram o leiaute de transistores planares de potência utilizando a técnica convencional multi-dedos (Figura 1) e o leiaute com equivalente fator geométrico, mas utilizando leiaute com MOSFETs circulares com portas sobrepostas (Figuras 2 e 3).

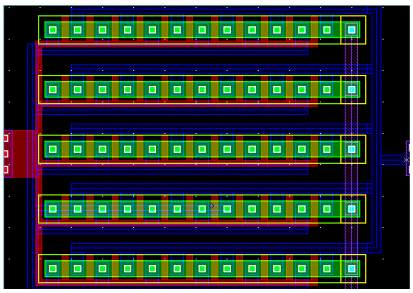

Figura 1 – Leiaute de estrutura convencional (multi-dedos).

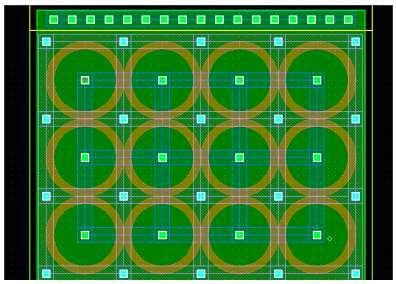

Figura 2 – Leiaute utilizando estrutura de MOSFETs circulares com sobreposição de portas.

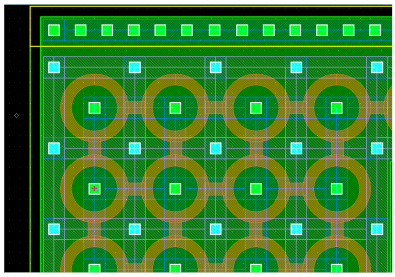

Figura 3 – Leiaute utilizando estrutura de MOSFETs circulares com sobreposição de portas com tap.

A tabela I faz um comparativo das três estruturas apresentas nas ilustrações anteriores.

Tabela I – Comparação entre as áreas das estruturas.

Leiaute	**Área (µm²)**
Multi-Dedos	1010
Circular sem tap	888,6
Circular com tap	848,7

4. Conclusões

A partir desse resultado, observamos uma diminuição de até 16% na área de silício apenas mudando do leiaute convencional para o circular. É uma redução considerável, que pode gerar uma grande economia em material e em processo de fabricação, sem diferenças no fator geométrico.

5. Referências

[1] S. P. Gimenez, IEEE "Modeling and Characterization of Overlapping Circular-Gate MOSFET and its application to power devices", IEEE Transactions on Power Electronics, Fevereiro de 2011

6. Agradecimentos

Ao Centro Universitário da FEI por fonecer a estrutura para o desenvolvimento do trabalho.